

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-236442

(43)Date of publication of application : 10.09.1993

(51)Int.Cl. H04N 7/13
H04N 9/64
H04N 9/77
H04N 11/04

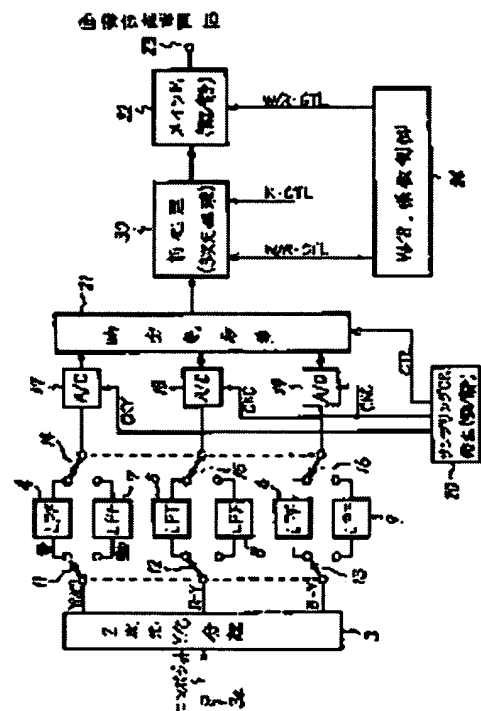
(21)Application number : 04-035029 (71)Applicant : SONY CORP
(22)Date of filing : 21.02.1992 (72)Inventor : MORITA HIDEO
FUJISAKI NAOKI

(54) IMAGE TRANSMITTER

(57)Abstract:

PURPOSE: To considerably reduce cost by removing a chroma component residual in luminance signals by a three-dimensional processing and suppressing the number of frame memories used for a three-dimensional processing system less than the number of picture elements in a still picture.

CONSTITUTION: In the digital processing of video signals, the time division multiplexing signal of a luminance signal and a chrominance signal is supplied through a preprocessing circuit 30 to a main memory 22. This preprocessing circuit 30 is composed of a three-dimensional processing circuit provided with frame memories having the $1/N$ (N is an integer) capacity of a still picture. In the case of a still picture processing, the still picture for one frame is completed for N times of image processings and only in the luminance signal processing of the still picture, the cancel processing of the chrominance signal residual in the luminance signal is executed.



LEGAL STATUS

[Date of request for examination] 17.02.1999

[Date of sending the examiner's decision of rejection] 10.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 映像信号に対してデジタル処理を行いこれを帯域圧縮して動画像と静止画像の伝送を行なうようにした画像伝送装置において、輝度信号と色信号の時分割多重信号が前処理回路を経てメインメモリに供給され、この前処理回路は静止画像の $1/N$ (N は整数)の容量を持つフレームメモリを持つ3次元処理回路として構成され、静止画像処理時には N 回の画像処理によって1フレームの静止画像処理が完了すると共に、静止画像用の輝度信号処理時のみこの輝度信号中に残留した色信号の相殺処理が行なわれるようにしたことを特徴とする画像伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、動画像と高精細な静止画像を伝送できるようにした画像伝送装置に関する。

【0002】

【従来の技術】映像信号に対してデジタル処理を行いこれを帯域圧縮して動画像と高精細な静止画像の伝送を行なうようにした画像伝送装置では、ソースとしてのコンポジット映像信号を輝度信号と色信号例えば一対の色差信号に分離したのち、それぞれに対してデジタル信号処理を施し、その後圧縮符号化して伝送するようにしている。動画像は連続フレームで伝送されるのに対し静止画像の場合には1フレームの静止画像のみを伝送するようにしている。

【0003】そのため、このような画像伝送装置においても、デジタル帯域圧縮符号化処理系で2次元の Y/C 分離回路が使用され、コンポジット映像信号を輝度信号 Y と一対の色差信号 $R-Y$ 、 $B-Y$ に分離している。

【0004】 Y/C 分離は色信号のサブキャリアがライン単位で逆相になることを利用しているが、これは Y/C 分離回路の周波数特性が理想的な特性を示し、かつ垂直相関性が強いときに限り成り立つものであるから、この条件が成立しないときには輝度信号 Y 中に色信号が残留してしまう。

【0005】色信号のサブキャリアはフレームごとに反転するので、その伝送フレームでのサブキャリアの位相と輝度信号 Y 中の残留クロマ成分 ΔC の関係は、伝送された画像が動画像の場合には図12のようにフレームごとに反転する。つまり、そのフレームのサブキャリアの位相と同相となるから、この残留クロマ成分 ΔC のところは特定の色が再現される。

【0006】これに対して、静止画像の伝送の場合には、1フレームのみの静止画像が伝送され、後は受信機側でサブキャリアなどが生成されるため、図13のようにフレームによってサブキャリアの位相は反転する。輝度信号 Y は前のフレームと同じ輝度信号を使用するため、輝度信号 Y 中に残留したクロマ成分 ΔC の位相はフ

レームによっては変化しない。

【0007】このようにクロマ成分 ΔC の位相は変化しないでサブキャリアのみその位相が反転すると、残留クロマ成分 ΔC による再現色はフレームごとに反転した色となって再現される。そのため、静止画像の場合には、これがクロマジッタとして映り、画質が劣化してしまう。

【0008】このクロマジッタを除去するには、 Y/C 分離回路として図14に示すような3次元の Y/C 分離回路1を使用すればよい。3次元の Y/C 分離はフレーム単位で処理されるために、 Y/C 分離特性が理想的な特性でないときや垂直相関性があまり強くないときでもクロマ成分の残留を相殺できるため、画質が改善されて都合がよい。

【0009】

【発明が解決しようとする課題】このように画質改善のためには3次元の Y/C 分離回路を用いればよいが、図14に示す3次元 Y/C 分離回路1で使用されるフレームメモリ2は、画素数の多い静止画像を基準にその容量を選ぶ必要がある。静止画像の画素数は動画像の画素数よりも数倍多いから、静止画像処理時にはフレームメモリ2を有効に利用できる反面、動画像を処理するときにはフレームメモリ2の数分の1しか利用していないことになる。これでは、高価なフレームメモリを有効に活用しているとは言い難い。

【0010】そこで、この発明はこのような従来の課題を解決したものであって、メモリ容量の少ないフレームメモリを用いても静止画像を処理できるようにした画像伝送装置を提案するものである。

【0011】

【課題を解決するための手段】上述の課題を解決するため、この発明においては、映像信号に対してデジタル処理を行いこれを帯域圧縮して動画像と静止画像の伝送を行なうようにした画像伝送装置において、輝度信号と色信号の時分割多重信号が前処理回路を経てメインメモリに供給され、この前処理回路は静止画像の $1/N$ (N は整数)の容量を持つフレームメモリを持つ3次元処理回路として構成され、静止画像処理時には N 回の画像処理によって1フレームの静止画像処理が完了すると共に、静止画像用の輝度信号処理時のみこの輝度信号中に残留した色信号の相殺処理が行なわれるようにしたことを特徴とするものである。

【0012】

【作用】動画像の画素数 N の4倍が静止画像の画素数としたとき、図4ではフレームメモリ2として静止画像の画素数の $1/4$ の容量のものが使用される。

【0013】図2および図3において、端子32に入力した時分割圧縮多重信号のうち静止画像入力時で特に輝度信号 Y が入力するタイミングであって、奇数フレームのときには係数発生器35の係数 k は1.0にセットさ

れる。そうすると、フレームメモリ2には入力輝度信号Yそのものがメモリされる。偶数フレームのときには係

$$\begin{aligned} Z &= X + (Y - X)(1 - k) = Xk + Y(1 - k) \quad \cdots \cdots (1) \\ &= 0.5X + 0.5Y \\ &= (X + Y) / 2 \end{aligned}$$

となって、2フレームの平均値が出力される。この処理で、残留クロマ成分 ΔC は相殺されてゼロになる。

【0015】輝度信号Y以外の区間では、kは1.0にセットされる。そうすると、加算器37の出力ZはXそのものとなり、3次元処理されない一対の色差信号(R-Y), (B-Y)が得られる。

【0016】次に、図4に示すように静止画像の画素数の1/4のものを使用したときには、入力する1フレームの画情報が1/4ずつ使用される。つまり、それぞれの分割領域A, B, C, Dの順に順次前処理回路30に供給されて、ここに設けられたフレームメモリ2を使用してそれぞれの輝度信号Yに対して3次元処理が施され、処理された輝度信号がメインメモリ22にストアされる。

【0017】したがって、図5から明らかなように2フレーム単位で単位分割領域の3次元処理が行なわれるため、この例では8フレームで1フレームの静止画像の前処理が終了することになる。

【0018】動画像のときには1フレームの画情報を1枚のフレームメモリ2単独で処理できるので、フレームごとに前処理された動画像情報がメインメモリ22にストアされる。

【0019】

【実施例】続いて、この発明に係る画像伝送装置の一例を高精細化伝送システムに適用した場合につき、図面を参照して詳細に説明する。

【0020】図1はこの画像伝送装置10の概要を示す系統図であって、端子3aに供給されたコンポジットの映像信号は2次元のY/C分離回路3に供給されて輝度信号Yと一対の色差信号R-Y, B-Yに分離される。Y/C分離回路3は従来と同様な構成であって、このY/C分離過程で輝度信号Y中には上述したようなクロマ成分 ΔC が残留する。

【0021】分離された輝度信号Yおよび色差信号R-Y, B-Yは静止画像と動画像とで異なる帯域制限を受ける。つまり、静止画像と動画像とではそのサンプリング周波数が相違（前者の方が高い）するので、静止画像と動画像とでは異なった折り返し歪を受ける。

【0022】この折り返し歪を除去するため周波数帯域の異なるローパスフィルタ4~9が使用され、静止画像のときにはローパスフィルタ4, 5, 6が使用され、動画像のときにはローパスフィルタ7, 8, 9が使用される。そのように切替スイッチ11~16が連動して切り替えられる。

【0023】帯域制限を受けた輝度信号Yおよび色差信

号R-Y, B-YはA/D変換器17, 18, 19でそれぞれ対応するサンプリングクロックCKY, CKCでデジタル信号に変換される。20はこれらのサンプリングクロックを生成するための発生回路である。

【0014】そうすると、加算器37の出力Zは、

【0024】デジタル変換後は時分割多重回路21において、図2Bに示すように輝度信号Yと色差信号R-Y, B-Yが1水平期間内で時分割多重される。本例では水平期間の前半に輝度信号Yがその時間軸をほぼ1/2程度に圧縮されて挿入され、水平期間の後半に一対の色差信号R-Y, B-Yがその時間軸を1/4程度に圧縮されて挿入される。

【0025】信号を多重したのは以後の信号処理系を3系統から1系統に削減して、回路規模を縮小するためである。時分割して多重化するための制御信号CTLは発生回路20から供給される。

【0026】時分割多重信号は前処理回路30において少なくとも輝度信号Yに関する残留クロマ成分 ΔC の除去処理が実施される。そのため、この前処理回路30は後述するように3次元処理回路として構成され、ここに設けられたフレームメモリに対してはライト・リード用のクロック(W/RTL)が供給されると共に、時分割多重信号のうち輝度信号Yについてのみ3次元処理が行なわれるように係数k(0 ≤ k ≤ 1)の制御がなされる(図2C, D)。本例の前処理は残留クロマ成分除去の他にノイズリダクションなどの処理も行なわれるが、その詳細説明は省略する。24は、前処理回路30とメインメモリ22に対する各種制御信号の発生回路である。

【0027】図3は前処理回路30の具体例を示し、端子32は入力端子であり、端子33はその出力端子である。フレームメモリ2よりリードされた遅延フレーム信号Yと現行フレーム信号Xとは減算器34で減算される(=Y-X)、これが乗算器36に供給される。

【0028】35は係数発生器で、これより出力された係数(1-k)が減算出力(=Y-X)と乗算される{=(Y-X)(1-k)}。この乗算出力が加算器37で現行フレーム信号Xと加算される。したがって、加算出力Zは、

$$\begin{aligned} Z &= X + (Y - X)(1 - k) \\ &= Xk + Y(1 - k) \quad \cdots \cdots (1) \end{aligned}$$

となる。

【0029】したがって、いまk=1に制御したときには、端子33に得られる加算出力ZはXのみとなり、k=0.5に制御したときには、加算出力Zは、
Z=0.5(X+Y)

となるから、このときは隣接フレーム信号の平均値信号として出力される。このフレーム間での平均値処理によって上述した残留クロマ成分 ΔC が相殺されるため、この3次元処理で残留クロマ成分によるクロマジッタを防止できる。

【0030】実施例では、係数発生器35には減算出力 $(Y-X)$ が供給されるようになっているが、これはこの減算出力の大きさと、さらに係数 k を制御してノイズリダクション効果をだすためである。減算出力が小さいときはノイズ成分が多く含まれることになるから、このときは係数 k は0.5以下の値に制御される。

【0031】前処理として残留クロマ成分を相殺するための3次元処理のみであるときには、係数発生器35には減算出力 $(Y-X)$ は供給しないでもよい。端子24aにはライト・リード用のクロック $W/RCTL$ が供給され、係数発生器35には端子24bより係数制御信号 $k \cdot CTL$ が供給される。

【0032】フレームメモリ2は静止画像用の画素数の $1/N$ (N は整数)に選ばれている。本例では、静止画像の画素数が動画の画素数の4倍に選ばれているので、 $N=4$ とする容量に選ばれている。静止画像での水平方向の画素数を HS 、垂直方向の画素数を VS としたときには、静止画像の全画素数は $HS \times VS$ となる。

【0033】したがって、図4(a)のようにフレームメモリ2には $1/4$ に分割された各領域A~Dごとの画素データしかメモリすることができないので、フレームメモリ2へのライトおよびリードクロック周波数は動画時の $1/2$ となる。

【0034】図5Aのように第1フレームではフレームメモリ2にはフレーム信号(実際は $1/4$ のフレーム信号であって、しかも輝度信号のみ)YA1(1はフレーム番号)がメモリされる。このとき係数 k は1.0に設定されているので(図5F)、フレーム信号YA1そのものがメモリされる。

【0035】次の第2フレームではフレームメモリ2から第1フレーム信号YA1がリードされるが(図5D)、係数 k は0.5に設定されているので、第1フレーム信号YA1と第2フレーム信号YA2との加算出力YAは、
 $YA = 0.5YA1 + 0.5YA2$
 $= 0.5(YA1 + YA2)$

となり、隣接フレーム間の平均値出力が得られる。したがって、各フレーム信号中にクロマ成分が残留しているときにはこれが相殺される。残留クロマ成分が除去されたフレーム信号がメインメモリ22にストアされる。

【0036】第3フレームと第4フレームでの処理も同様である。ただし、このときに使用される静止画像は図4(a)、(c)に示されるように分割静止画像Bであり、そのときの処理例を図5に示す。

【0037】フレーム信号でも輝度信号Y以外の信号で

ある一対の色差信号 $R-Y$ 、 $B-Y$ のときは3次元処理は行なわれないので、その時分割タイミングでは係数 k は1.0に制御される。つまり、図2に示すように輝度信号Yが供給されるタイミングではフレーム間の平均値処理を行なうために、奇数フレームでの係数 k は1.0に、偶数フレームでの係数 k は0.5にそれぞれ制御される。これに対して、一対の色差信号 $R-Y$ 、 $B-Y$ が供給されるタイミングでは、奇数フレーム、偶数フレームに拘らず係数 k は1.0に制御される。

【0038】このように、フレームメモリ2にメモリされる信号が輝度信号Yか色差信号 $R-Y$ 、 $B-Y$ かによって3次元処理を行なうか、スルーとするかが決まるので、ライン単位およびフレーム単位(若しくはフィールド単位)で係数 k が細かに制御される。

【0039】このようにして全ての分割静止画像に対して輝度信号のみの3次元処理を行い、それぞれの分割静止画像をメインメモリ22にストアしたのちは、このメインメモリ22に格納された1フレーム分の画情報がリードされて圧縮符号化処理が施されることになる。メインメモリ22には静止画像用の1フレーム分のメモリ容量をもつ。

【0040】コンポジット映像信号が動画のときはその1フレーム分の画情報はそのままフレームメモリ2にストアできるので、このときには特に分割処理を必要としない。

【0041】図6に示す例は1フレームの静止画像を前後2つに分割して3次元処理などの前処理を行なう例である。この例では水平方向のみその画素数が $1/2$ となるので、水平クロック周波数が $1/2$ に制御される。そのときの係数 k の制御などに関しては図7に示す通りであるからその説明は省略する。

【0042】図8の例は、1フレームの画情報を分割しないでフレームメモリ2にストアする際、原画情報をサブサンプリングすることによって実質的に1フレーム分の画情報を4分割するようにした例である。つまり、この例は $1/4$ サブサンプリングの実施例である。

【0043】同図のように、偶数フィールドと奇数フィールドによってサブサンプリング位置を変え、しかも同一フィールドでは1画素分だけサンプリング位置を水平方向にシフトして $1/4$ サブサンプリングが実行される。

【0044】そして、同一フィールド同士で3次元処理が行なわれる。例えば、図9C~Gに示すように偶数フィールドでは偶数フィールド用の静止画像情報EA2とEA4を用いて3次元の処理を行い、その出力EAがメインメモリ22にストアされる。奇数フィールドでは奇数フィールド用の静止画像情報OA5とOA7を用いて3次元の処理を行い、その出力OAがメインメモリ22にストアされて1フィールド分の画情報の処理が終了する。

【0045】図10は図6に対応した変形例で、この例では図8のようなサブサンプリングでも1/2サブサンプリングの場合である。1/2サブサンプリングでは図10に示すように奇数フィールドと偶数フィールドとで水平方向のサンプリング位置が1画素分だけずらされてサンプリングされ、2フィールド分の画情報から3次元処理が実行される。そのときの動作説明図は図5と同様である。

【0046】図11は前処理回路30の他の例で、本例では係数発生器35の出力として、係数 k そのものと、 $(1-k)$ の2種類が出力されるように構成され、乗算器41では Xk の乗算処理が、乗算器42では $Y(1-k)$ の乗算処理がそれぞれ行なわれ、それぞれの乗算出力を加算器37で加算して最終的な加算出力 Z が得られるように構成したものである。

【0047】この構成でも、最終的な加算出力 Z は同じになる。また、この例でも3次元処理だけであるならば、係数発生器35への減算出力 $(X-Y)$ が不要になるので、この構成では減算器34が不要になる。

【0048】

【発明の効果】以上のように、この発明に係る画像伝送装置では、3次元処理によって輝度信号中に残留したクロマ成分を除去すると共に、この3次元処理系に使用されるフレームメモリとして静止画像の画素数以下の画素数の容量を持つものを使用したものである。

【0049】これによれば、フレームメモリの容量として動画像用のフレームメモリを使用しても3次元処理された画情報を得ることができるから、この発明は従来よ

りも大幅なコストダウンを図れる特徴を有する。

【図面の簡単な説明】

【図1】この発明に係る画像伝送装置の一例を示す系統図である。

【図2】3次元処理の動作説明に供する説明図である。

【図3】前処理回路の具体例を示す系統図である。

【図4】4分割による3次元処理例を示す図である。

【図5】そのときの動作説明に供する説明図である。

【図6】2分割による3次元処理例を示す図である。

【図7】そのときの動作説明に供する説明図である。

【図8】1/4サブサンプリングによる3次元処理例を示すサンプリング位置を示す図である。

【図9】そのときの動作説明に供する説明図である。

【図10】1/2サブサンプリングによる3次元処理例を示すサンプリング位置を示す図である。

【図11】前処理回路の他の例を示す系統図である。

【図12】残留クロマ成分の説明図である。

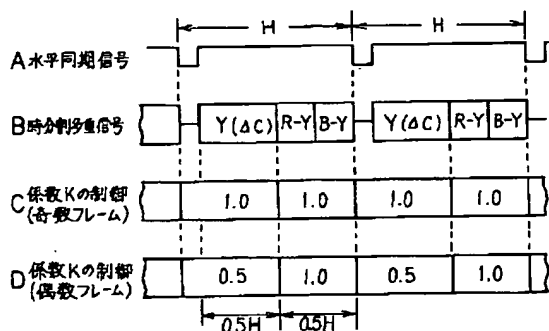
【図13】残留クロマ成分の説明図である。

【図14】3次元Y/C分離回路の説明図である。

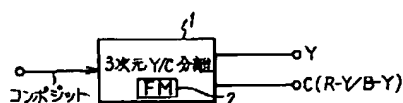
【符号の説明】

- 2 フレームメモリ
- 3 2次元Y/C分離回路
- 4~9 ローパスフィルタ
- 17, 18, 19 A/D変換器
- 21 時分割多重回路
- 30 前処理回路(3次元処理回路)
- 22 メインメモリ
- 35 係数発生器

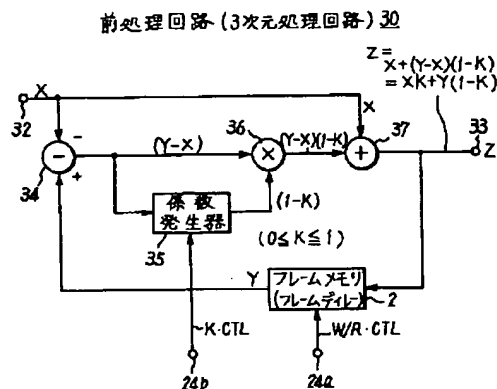
【図2】



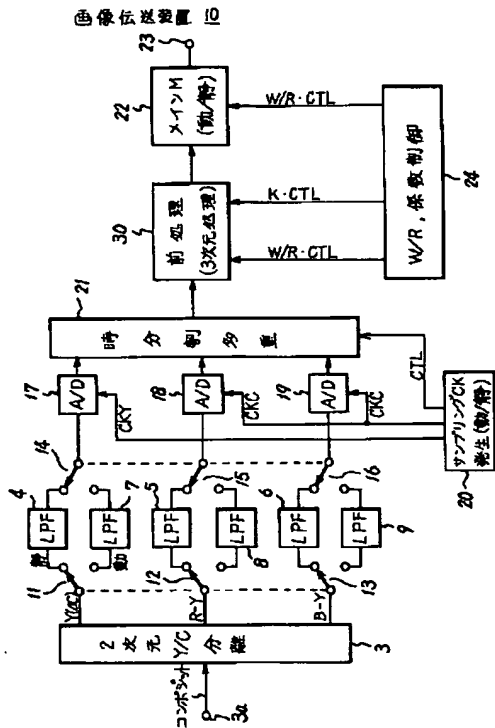
【図14】



【図3】

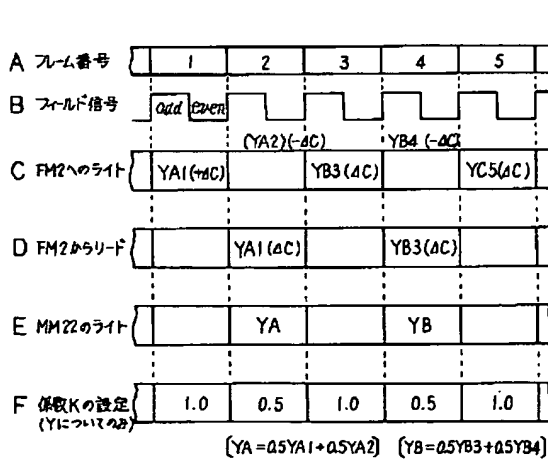


【図1】



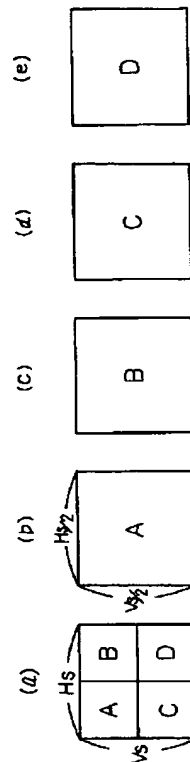
【図5】

4分割時の3次元処理の例



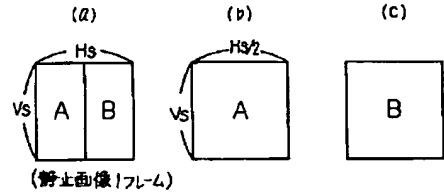
【図4】

4分割の例



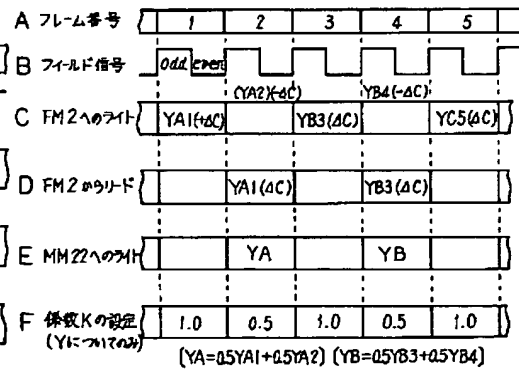
【図6】

2分割の例



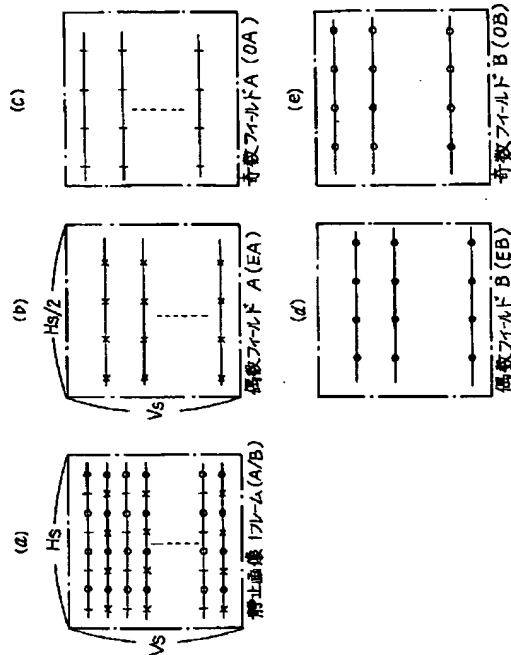
【図7】

2分割時の3次元処理の例

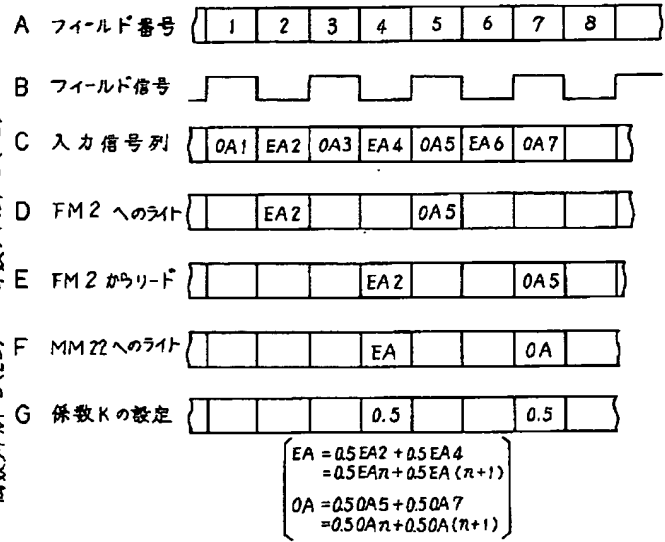


【図 8】

1/4 サブサンプリングの例

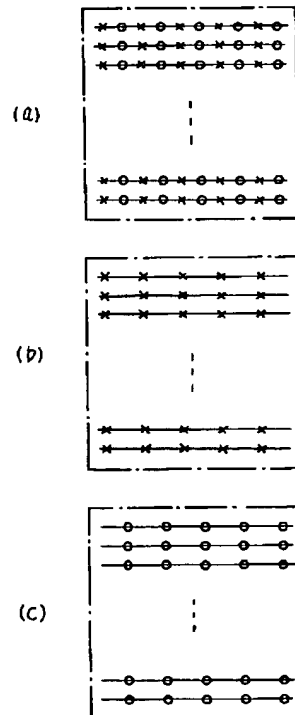


【図 9】



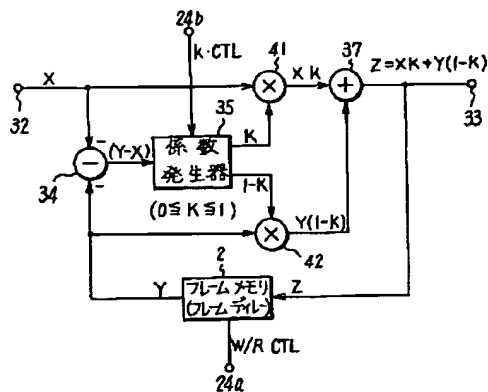
【図 10】

1/2 サブサンプリングの例

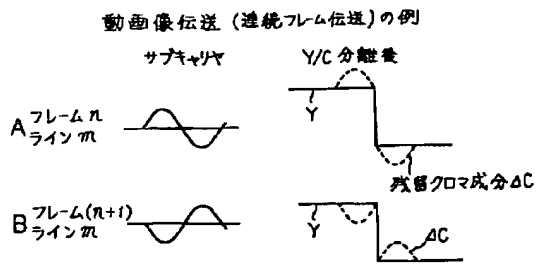


【図 11】

前処理回路 30 の他の例



【図12】



【図13】

